Một số thứ về vẽ mạch

Bài này để nói về một số lưu ý khi vẽ mạch, chủ yếu là về mạch tần số cao, định nghĩa tần số cao khá đa dạng, 90Mhz có cao chưa??? 2.4 GHz có cao chưa???, theo định nghĩa trên trang autodesk:

To put it simply, high speed PCB design is any design where the integrity of your signals starts to be affected by the physical characteristics of your circuit board, like your layout, packaging, layer stackup, interconnections, etc… If you start designing boards and run into problems like delays, attenuation, crosstalk, reflections, or emissions, then congratulations! You’ve found yourself in the world of high speed PCB design.

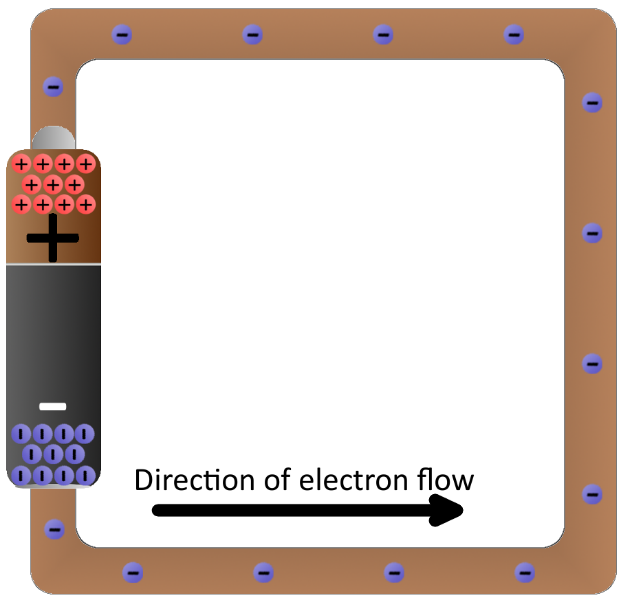
(Trích <https://www.autodesk.com/products/eagle/blog/high-speed-pcb-design/>)

Như định nghĩa ở trên, mạch tần số cao là mạch mà các yếu tố vật lý bắt đầu ảnh hưởng đến tín hiệu của mạch, như crosstalk, phản xạ sóng, tức là thậm chí vẽ mạch vài Mhz, ta cũng nên quan tâm đến những vấn đề này

# Return path là cái gì? Vì sao phải quan tâm đến return path?

## Return path là cái gì?

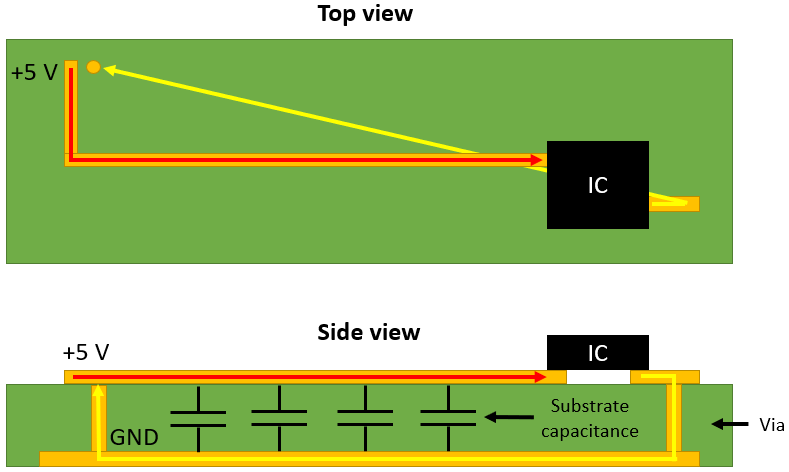
Như các bạn đã biết, dòng điện là sự dịch chuyển có hướng của các hạt mang điện, tức các hạt mang điện có đi, thì phải có về.



Hình ở: <https://learn.sparkfun.com/tutorials/what-is-electricity/electricity-in-action>

Như vậy một tín hiệu điện, như UART, SPI,… cũng như vậy, chúng có đi thì cũng có về, vậy những tín hiệu này sẽ về theo đường nào?

Điều này phụ thuộc vào tần số tín hiệu mà ta đang xét đến, tất nhiên dù là ở tần số nào thì dòng điện cũng sẽ đi theo đường có trở kháng thấp nhất (impedance) hiểu cho đơn giản thì đối với 1 đường dây xác định sẽ có trở kháng thay đổi tùy thuộc vào tần số của tín hiệu đi qua nó.

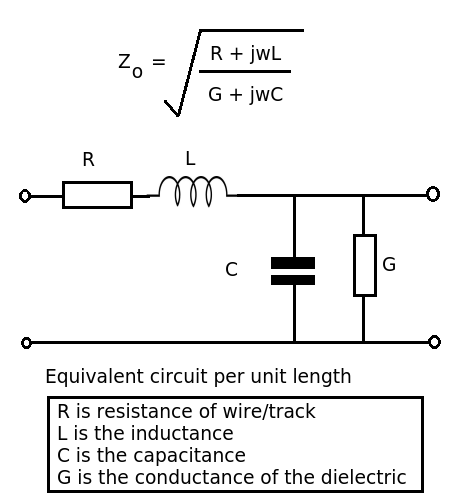


Đường tín hiệu tần số thấp đi trên board.

Ví dụ về return path ở đường tần số cao:

<https://resources.altium.com/p/eric-bogatin-on-where-does-return-current-flow>

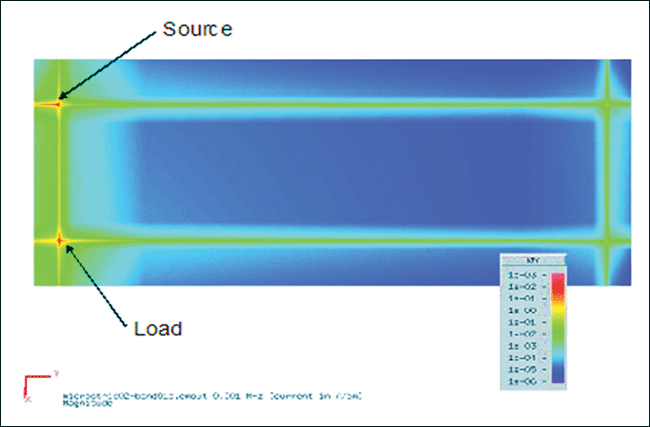
Như mô hình đường truyền có các tụ kí sinh ở trên, trở kháng đường dây sẽ la:



Như vậy có thể thấy là jωC càng lớn, thì trở kháng của phần mạch dưới đường truyền tín hiệu càng nhỏ

Hay nói cách khác: Mạch tần số càng cao thì đường return path có xu hướng nằm dưới đường truyền tín hiệu, ở mặt dưới của board

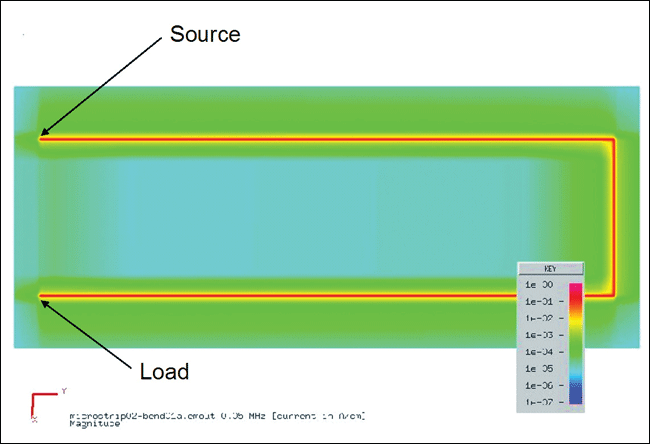
Ví dụ phân bố dòng điện ở mạch tần số 1kHz: return path là đường thẳng, nối source và load



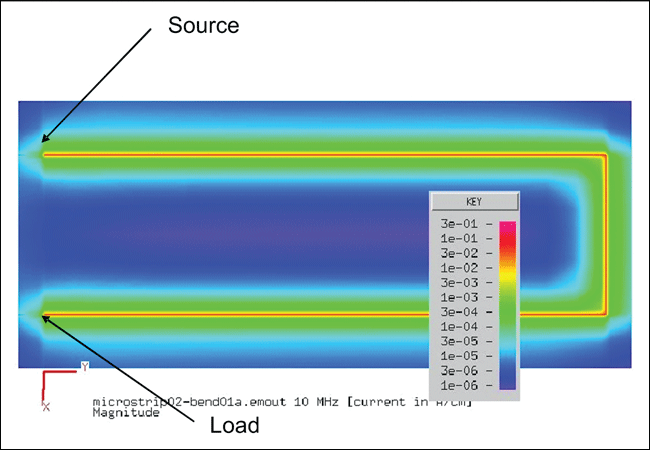
(Tham khảo <https://www.maximintegrated.com/en/design/technical-documents/tutorials/5/5450.html>

https://www.allaboutcircuits.com/technical-articles/better-pcb-design-return-paths-impedance/)

Ví dụ phân bố dòng điện ở mạch tần số 50kHz: return path chủ yếu là nằm dưới đường truyền sóng.



Ví dụ phân bố dòng điện ở mạch tần số 1Mhz: return path chủ yếu là nằm dưới đường truyền sóng.



\*\* LƯU Ý: Ở TẦN SỐ CAO, TÍN HIỆU MANG BẢN CHẤT ĐIỆN TỪ TRƯỜNG NHIỀU HƠN LÀ ĐIỆN, DO ĐÓ TÍN HIỆU TẦN SỐ CAO CÓ THỂ TRẢ VỀ Ở ĐƯỜNG NGUỒN (MẶT PHẲNG NGUỒN), MIỄN SAO LÀ ĐƯỜNG ĐÓ CÓ TRỞ KHÁNG THẤP NHẤT \*\*

## 1.2 Vấn đề nhiễu EMI và return path

Nhiễu EMI (Electromagnetic interference) là nhiễu xảy ra khi có sóng điện từ tương tác với các IC trong mạch, nguồn nhiễu EMI có thể đến từ nhiều nguồn, như các thiết bị phát sóng, các đường dây tần số cao.



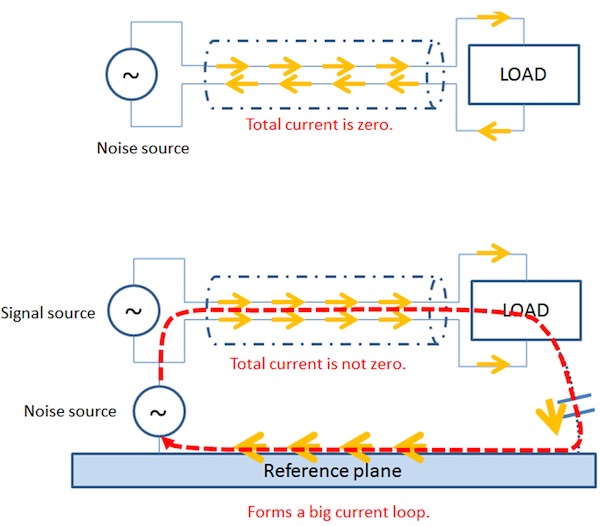
Đây là lý do ta có mấy cái vỏ nhôm này :v

Vì sao return path liên quan đến EMI?

Để hiểu được điều này, ta cần hiểu về anten và cách anten hoạt động.

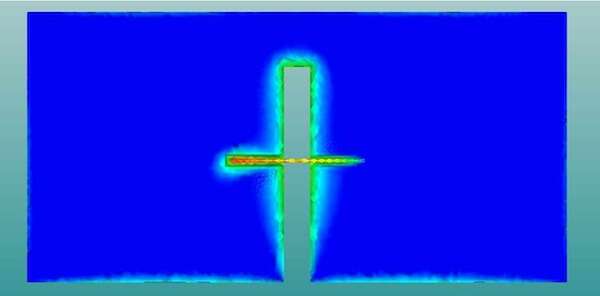
<https://www.youtube.com/watch?v=ZaXm6wau-jc&ab_channel=LearnEngineering>

Như các bạn có thể thấy, ở return path của tín hiệu tần số cao, đường return sẽ là đường có trở kháng thấp nhất, là đường đất ở dưới đường truyển đi của tín hiệu, do đó tín hiệu điện từ trường của tín hiệu sẽ được triệt tiêu bớt, giống như một đường dây vi sai, tuy nhiên nếu như ta cắt đường trả tín hiệu về thì return path sẽ không song song, do đó sẽ bắt đầu xuất hiện phát xạ trên board (Một nguồn EMI)



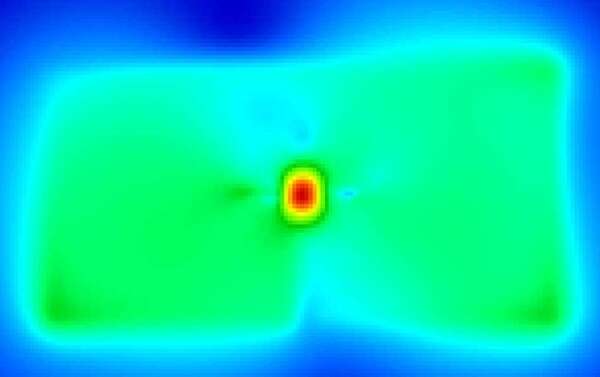
Tham khảo: <http://embedded-lab.com/blog/tag/emi/>

Ví dụ về mặt phẳng đất (Ground Plane) bị cắt:



Màu xanh là vùng mạch toàn đất (Ground Plane), màu xám là phần bị cắt khỏi ground plane, màu xanh lá là đường return path, màu đỏ là tín hiệu truyển đi.

Đo phát xạ: Khu vực bị cắt phát xạ mạnh nhất:



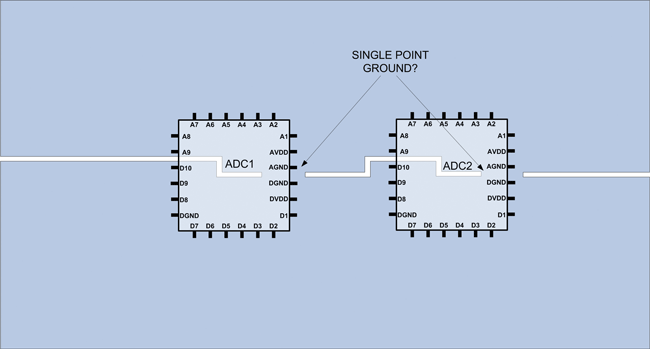
* DO ĐÓ TA LUÔN CẦN CHÚ Ý ĐẾN RETURN PATH ĐỂ MẠCH HOẠT ĐỘNG TỐT

## 1.3 Cách xử lý Return path, Ground Plane và kĩ thuật vẽ board nhiều lớp

Cách để có return path tốt đó là có một lớp riêng cho phần đất (ground plane), đó là lý do board nhiều lớp tốt hơn board 2 lớp.

Nếu như không đảm bảo điều đó thì nên hạn chế cắt xẻ ground plane. Tuy nhiên nếu tìm hiểu nhiều tutorial thì các bạn sẽ thấy là có rất nhiều tut khuyên nên split mặt phẳng đất thành 2 phần: Analog và digital:

Lý do cho việc này là việc đọc analog bị ảnh hưởng khá nhiều bởi EMI, và tác dụng của return current, những dòng trả về này có thể không lớn, tuy nhiên chỉ 1 – 2mA cũng có thể ảnh hưởng tới các thành phần cần độ chính xác cao.

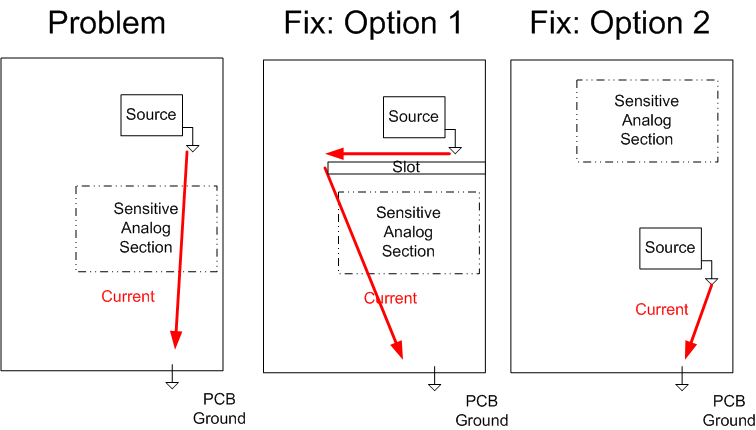


Tham khảo: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/5/5450.html>

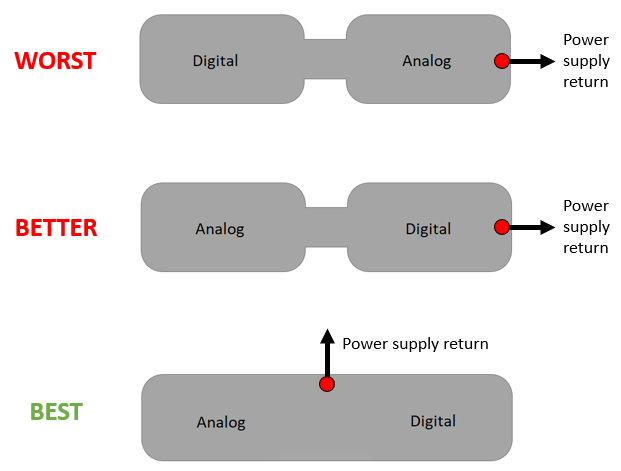
Tuy nhiên lại có những tut cho rằng không nên cắt mặt phẳng đất:

<https://resources.altium.com/p/splitting-planes-good-bad-and-ugly>

Theo mình, quan trọng nhất là phải tưởng tượng ra return path ra sao để quyết định, khi ta cắt mặt phẳng đất, dòng điện có thể hành xử theo nhiều cách rất khó tượng tượng, vì thế theo mình tốt hơn hết ta nên sắp xếp các thành phần của board thật khoa học trước đã:

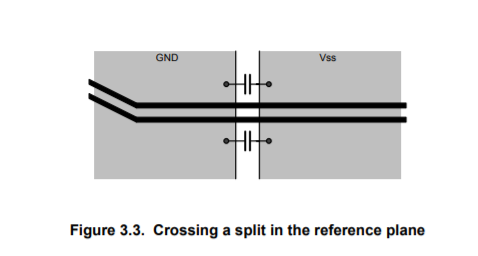


Một ví dụ về sắp xếp return path cho Analog và Digital khá ổn mà không phải cắt mặt phẳng đất:

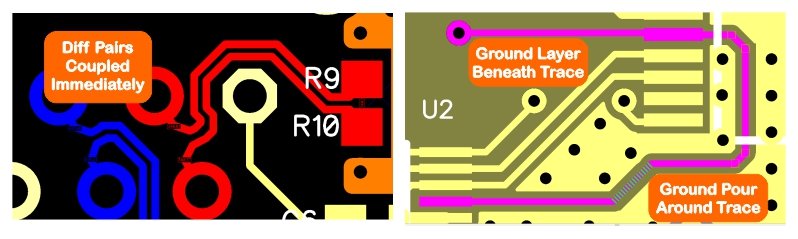


Vậy nếu cố lắm mà return path vẫn bị cắt?

Đây là một số cách fix:

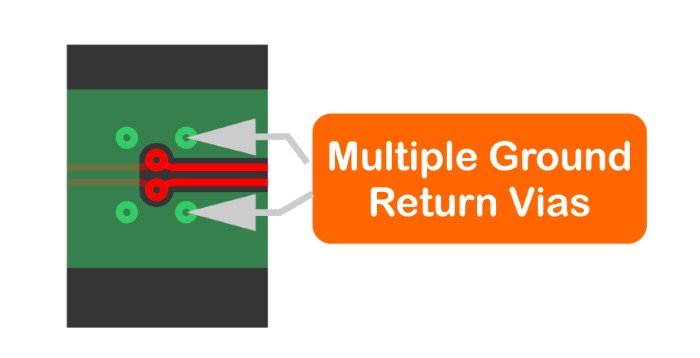


+ Gắn thêm tụ để tạo return path (https://www.silabs.com/documents/public/application-notes/an0046-efm32-usb-hardware-design-guidelines.pdf)



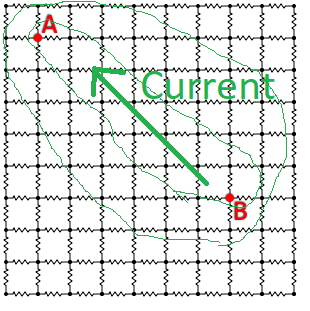
+ Đặt các đường vi sai cạnh nhau

+ Nếu như không thể có đường return path ở dưới, thì ta cần có một đường đất song song và gần nhất với đường tín hiệu để làm return path, việc này có thể không trừ bỏ hoàn toàn nhiễu, nhưng cũng giảm nhiều nhiễu đi.



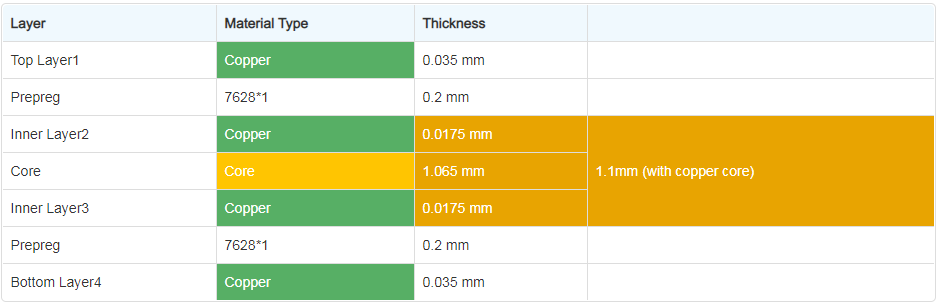
+ Nếu như mạch có via cho đường dây differential thì cần thêm nhiều via cạnh đó để làm đường trả tín hiệu về.

+ Mở rộng ra thì vì có nhiều đường return path trả tín hiệu về trên mặt phẳng đất, nên có thể tạo ra nhiều mức điện áp đất khác nhau trên board, do đó cần thêm via nhiều nhất có thể để giảm thiểu tác động của vấn đề này:

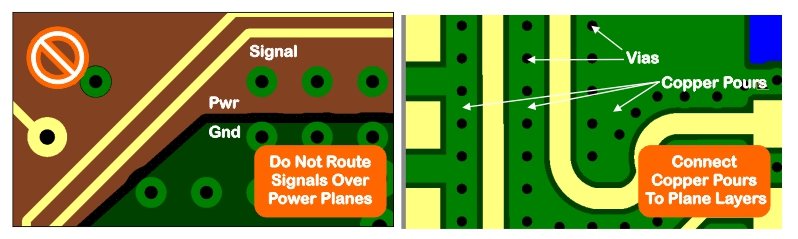


Ví dụ khác biệt điện áp trên ground plane, mặt phẳng đất có thể biểu diễn như mạng các điện trở, khi có dòng điện đi từ 1 điểm đến điểm khác thì có thể sinh ra sự khác biệt mức ground.

+Với board nhiều lớp, cụ thể là 4 lớp, các lớp thường được xếp theo thứ tự: Signal – GND – Power – Signal, trong đó Power là lớp chỉ dùng để nối nguồn, do đó ta có thể nối nguồn dễ dàng bằng via, cũng như lớp đất để nối đất không thôi.

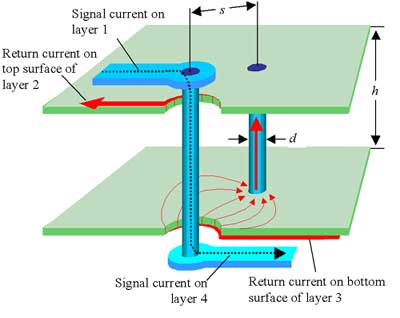


Hình: Stackup board 4 lớp của JLCPCB, lớp inner layer1 và 3 thường là GND và Power.



+ Nguyên tắc vẽ board nhiều lớp là chỉ đi đường tín hiệu trên 2 mặt signal, 2 lớp còn lại dành cho Power và GND

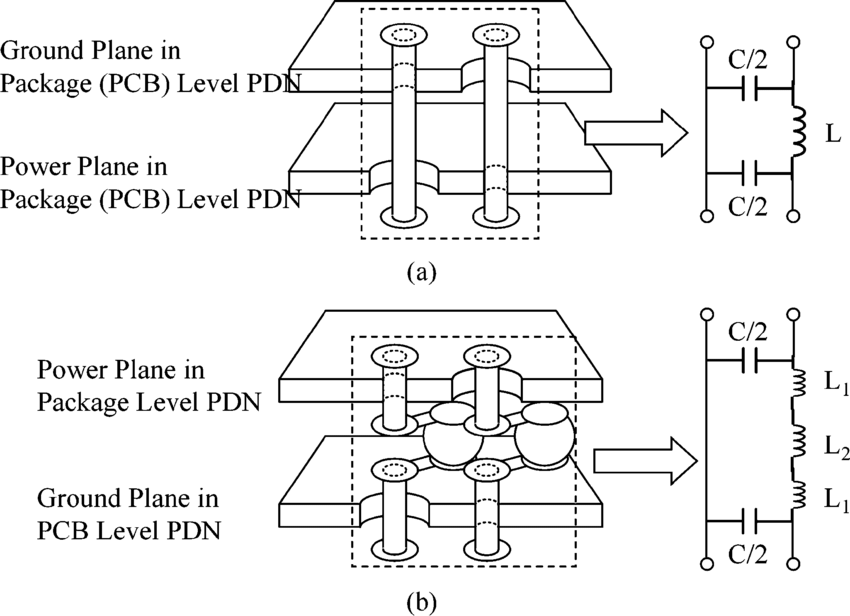
* Lý do:



Khi ta via tín hiệu từ layer này sang layer khác, return path sẽ nằm ở layer ngay dưới layer signal, tức lớp GND và lớp Power, điều này tạo ra sự mất liên tục của dòng return path, do đó khi via tín hiệu, ta cần phải có vài cái via gần chỗ via đó để giảm bớt sự mất liên tục này.

+ Ngoài ra, ảnh hưởng lên mạch của Via tín hiệu như sau:

Mô hình mạch via đóng vai trò như một cái mạch RLC kí sinh, nên ta không nên via đường tín hiệu có tần số cao (mặc dù nếu bug quá vẫn có cách xử lý, tuy nhiên cũng không nên làm thế)



Mô hình vật lý của Via, tham khảo: https://www.researchgate.net/figure/a-Detailed-3-D-structure-and-proposed-equivalent-circuit-model-of-via-at-the\_fig11\_3423981

* Nói chung tóm lại ta có 2 rule:

+ Phủ đất hợp lý, không cắt đất, điều này khá khó thực hiện với board 2 lớp, tuy nhiên nếu đi mạch thông minh thì có thể đạt được

+ Via đất (via ở 2 mảng đất ở 2 layer khác nhau, và giữa lớp đất và ground plane riêng trong board nhiều lớp) thật nhiều, nhưng hạn chế tối đa đi via tín hiệu. Nếu như vẽ board mà ta không duy trì được ground plane nguyên vẹn, thì giải pháp là via đất thật nhiều, giá via rất rẻ (1000 via cho 1 board thì charge thêm 1 đô) nên không cần phải lo lắm, via đất có nhiều lợi ích như:

* Cân bằng mức đất
* Tạo đường return path nhỏ hơn, ít gây phát xạ trên board hơn.

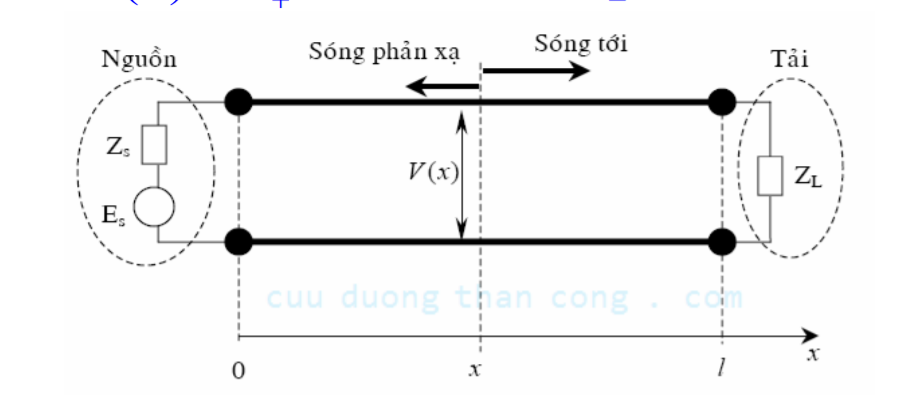
# Impedance là cái gì? Vì sao phải quan tâm đến impedance?

## Impedance là trở kháng.

Nếu các bạn đã học qua trường điện từ và siêu cao tần thì chắc sẽ nhớ về món trở kháng (impedance) này, và trong vẽ mạch, đặc biệt là vẽ mạch tần số cao, trở kháng là vấn đề rất quan trọng.

* Nhắc lại sóng phản xạ:

Ta hãy tưởng tượng tín hiệu cao tần mang bản chất “sóng” nhiều hơn là “hạt”, sóng điện từ truyền qua dây dẫn bị trở kháng ảnh hướng, cũng giống như sóng ánh sáng truyền qua các môi trường có chiết suất khác nhau, và cũng giống như sóng ánh sáng, sóng điện từ đến mặt phân cách của 2 môi trường khác nhau cũng sẽ bị khúc xạ hoặc phản xạ:



Mô hình sóng phản xạ, trích slide siêu cao tần

Công suất tải nhận được sẽ là:

Ptải = Ptruyền- Pphản xạ

Trong đó Pphản xạ là vô ích, và sẽ bị trả ngược về nguồn, gây nóng mạch, hoặc thậm chí cháy (tùy vào đường dây truyền sóng còn có thể gây nhiễu)

Với các tín hiệu tần số cao, bước sóng của tín hiệu được tính theo công thức:

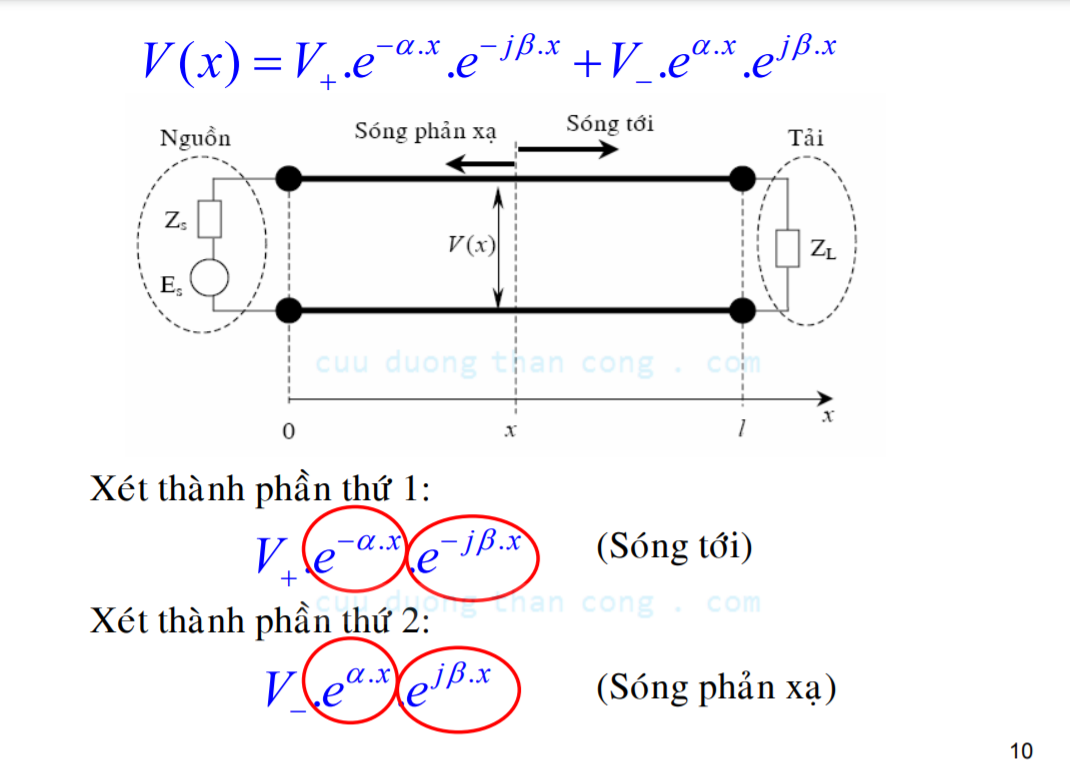
λ = v\*f

Với v là tốc độ truyền sóng (điện) trên dây, có giá trị = tốc độ ánh sáng/ căn của hằng số điện môi ε (khoảng 4 – 4.6)

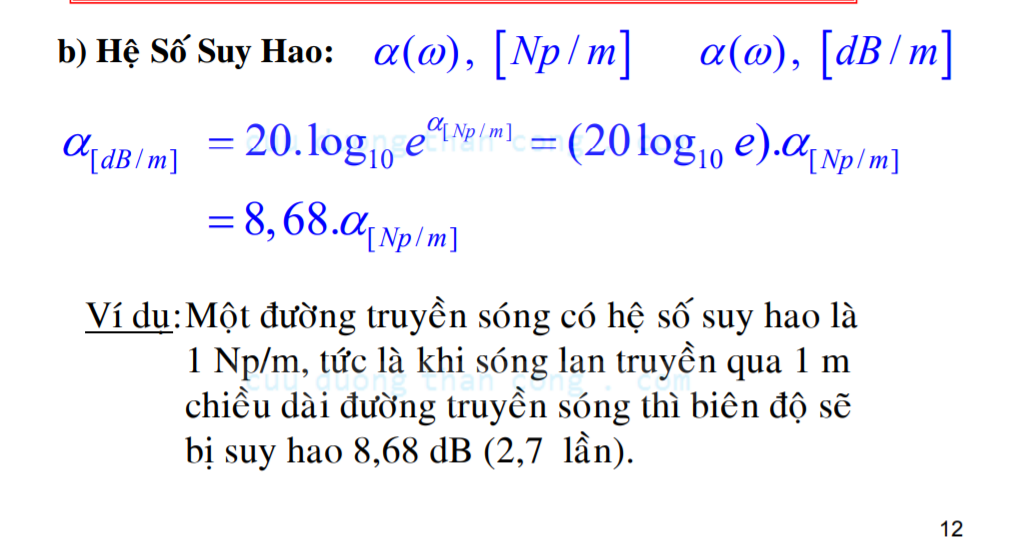
f là tần số của tín hiệu

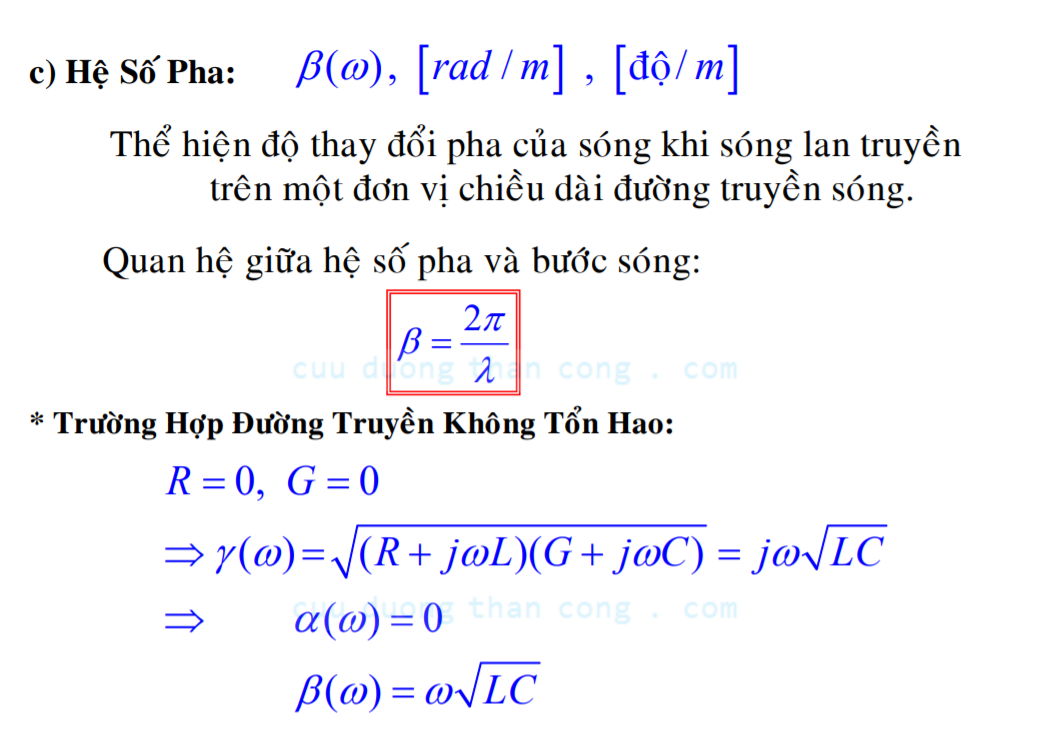
λ là bước sóng của tín hiệu

Thì khi tín hiệu (có thể là tín hiệu hình sin hoặc sóng vuông, sóng vuông thì là các sóng hài hình sin) sẽ di chuyển và đổi pha theo công thức:

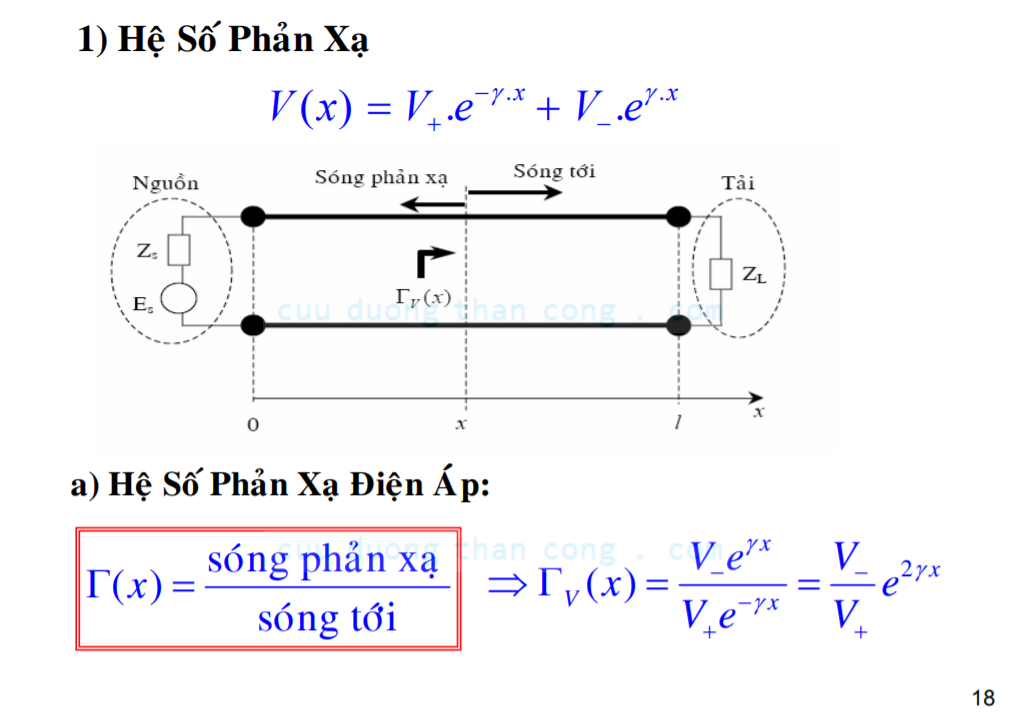


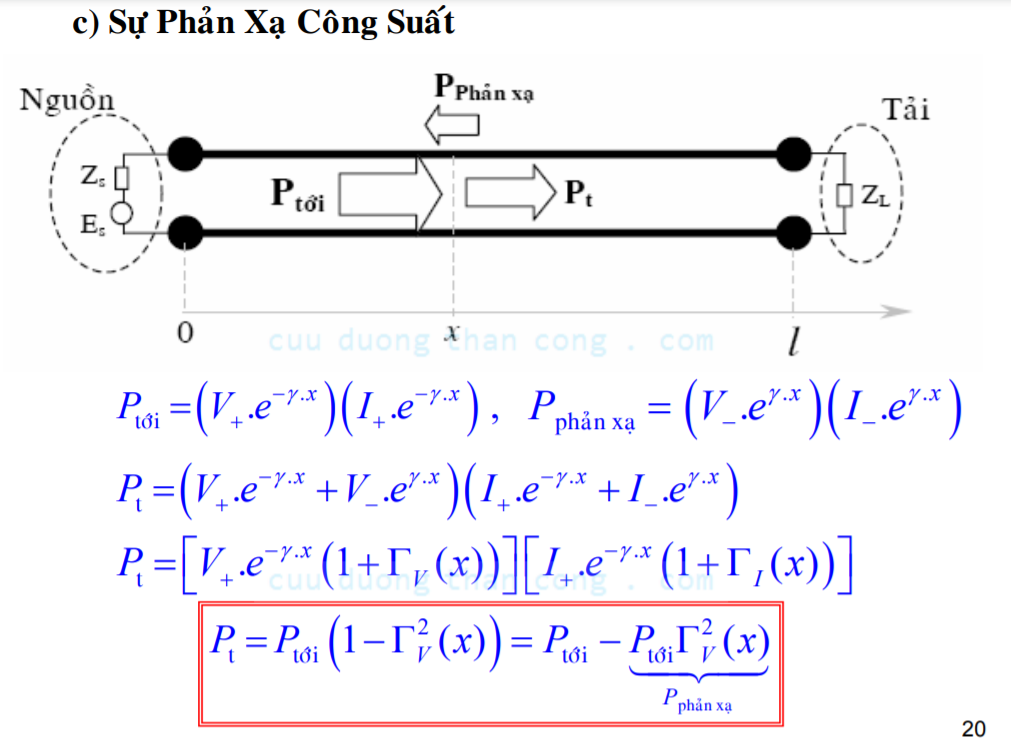
Trong đó:



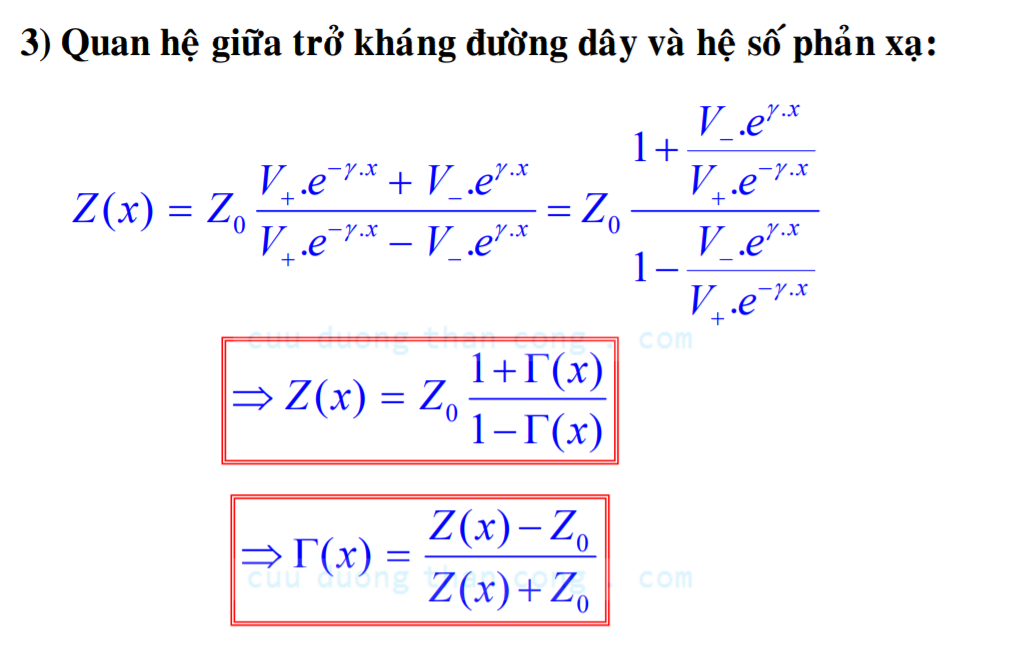


Tóm lại có hệ số phản xạ và công thức tính công suất phản xạ, trong đó x là vị trí đang xét đến trên đường dây, V+ là điện áp truyền đi, V- là điện áp phản xạ lại, hàm e-γx là dạng biểu diễn số phức của hàm sin.





Quan hệ của trở kháng đường dây và hệ số phản xạ:



Nhìn chung công thức này cần phải học vì nó thuộc môn siêu cao tần :v

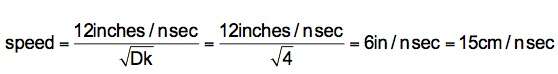
Do đó để vẽ các mạch anten, hoặc mạch tần số cao nói chung ta cần phải có đường dây thỏa mãn trở khảng của tải và trở kháng của nguồn là đồng nhất, để hạn chế tối đa sóng phản xạ, nếu không anten sẽ bốc mùi thơm thơm :v

\*\*\*LƯU Ý: Có một luật là ta không cần quá quan tâm về sóng phản xạ khi đường truyền sóng có chiều dài đường tín hiệu < λ/10 \*\*\*

LÝ DO: khi chiều dài < λ/10 thì thay đổi về pha giữa tín hiệu phản xạ và tín hiệu truyền đi quá nhỏ, ta không cần quan tâm đến vấn đề phản xạ

Một số rule chặt hơn thì cho chiều dài < λ/16

\*\*\* trích <https://www.microwaves101.com/encyclopedias/microwave-rules-of-thumb> \*\*\*

Ví dụ: với sóng 2.4Ghz trên board Fr4 có hằng số điện môi ε cỡ 4 (thực tế thì là 4.6)

Như vậy thì λ = 15\*10^9 /2.4\*10^9 = 6.25 cm => đường dây cỡ 6.25/10 = 0.625 cm thì không cần quan tâm đến trở kháng, trên mấy board nhỏ thì cỡ này cũng hợp lý :v

Cơ mà thường thì cuộc sống nó không giống cuộc đời, trở kháng của nguồn khác trở kháng của anten, do đó cần có một mạch \*cân bằng trở kháng\* (impedance matching)

## Impedance matching

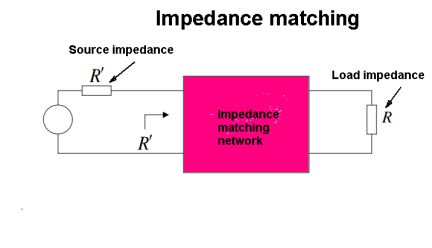
Cân bằng trở kháng để tránh sóng phản xạ là bước cần thiết cho việc thiết kế mạch RF (anten) nói riêng và mạch cao tần nói chung, đây là vấn đề quan trọng trong design các mạch phát sóng (GPS, Wifi, Zigbee,…) nói chung là vấn đề quan trọng trong IOT, hoặc khi vẽ các mạch có tín hiệu tần số cao (RAM, USB high speed,….)

Phần này có 2 vấn đề:

+ Impedance matching network

+ Impedance trace control

### 2.2.1 Mạng cân bằng trở kháng



Sơ đồ mạng cân bằng trở kháng

Trong mạch RF có anten, impedance của đầu ra IC và anten phải giống nhau (gọi là matching impedance) , không thì có thể có sóng phản xạ xảy ra, giảm tín hiệu phát hoặc tệ hơn là xì khói mạch

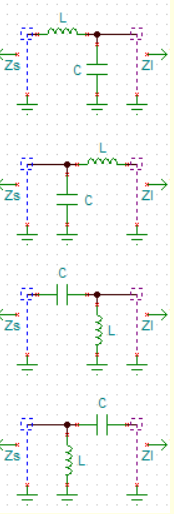
Ví dụ: trở kháng đầu ra IC nRF24 là 15 – 88j (Ohm), trở kháng anten là 100 Ohm:s



(Forum Nordic: <https://devzone.nordicsemi.com/f/nordic-q-a/29905/matching-nrf24-to-100ohms-balanced?ReplySortBy=Votes&ReplySortOrder=Descending>)

Nói cho đơn giản thì thường thường anten có trở kháng là 50 Ohm, không có thành phần ảo, tức không có trở kháng của cuộn dây hoặc tụ điện

Việc của chúng ta là phải làm sao đó để đường truyền từ output của chip RF ra đến anten phải trở thành 50 Ohm, ta có thể đạt được điều này bằng nhiều cách, trong đó ta chỉ nói đến mạch LC trong bài này (trình quái đâu mà chém :V)



Như các bạn có thể thấy, có nhiều cách mắc mạch LC để impedance matching.

Thực sự ta có tool để tính: <https://leleivre.com/rf_lcmatch.html> :v cơ mà biết 1 chút lý thuyết cũng không sao:

Để hiểu mấy vấn đề này thì việc học qua môn siêu cao tần là rất cần thiết, nhất là smith chart, cơ mà nói chung các bạn chỉ cần biết nó có tồn tại chứ mình mà dạy siêu cao tần được thì tốt quá :v

#### Smith chart là gì?

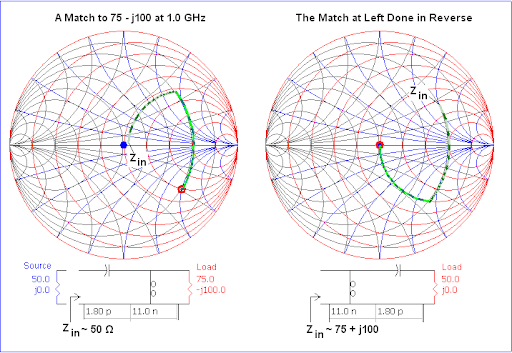
Nói cho dễ hiểu thì trở kháng có thể được biểu diễn bằng 1 số phức: R + j\*Z, cái này học nhiều rồi mình không nói lại.

Smith chart là cách để chúng ta thiết kế mạch đơn giản hơn:

Video giải thích: <https://www.youtube.com/watch?v=hmqM8PnUkmo&ab_channel=CarlOliver>

Về cơ bản ta biểu diễn trở kháng đầu vào trên smith chart, sau đó ta lắp thêm L và C (biểu diễn qua việc kẻ các đường theo các vòng tròn như hình) để tiến về điểm tâm của smith chart, là điểm có trở kháng là R cần cân bằng với anten,

Ví dụ:



Video hướng dẫn dùng smith chart tìm mạch LC: <https://www.youtube.com/watch?v=IgeRHDI-ukc&ab_channel=w2aew>

Ngoài ra còn có rất nhiều các cách khác để matching impedance, ví dụ như dùng mạch Pi, Balun, dây stub, tuy nhiên mình không đủ trình làm mấy cái đó :v

Kinh nghiệm để có mạch matching này đúng đó là các linh kiện LC cần gần nhau nhất có thể, ngoài ra mình chưa có làm nhiều nên chém vậy thôi :v

### 2.2.2 Cân bằng trở kháng trên dây:

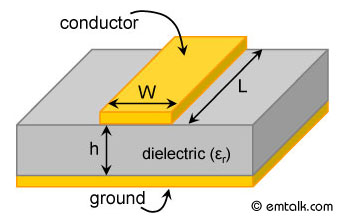
Mạch matching là một chuyện, còn đường dây truyền tín hiệu cũng phải tính trở kháng, và mình thấy tính trở kháng của dây dẫn là công việc thường gặp hơn.

Dây dẫn cũng có trở kháng, và dây dẫn trên PCB còn chịu ảnh hưởng của đất, của các dây bên cạnh, và của hằng số điện môi của chất liệu board.

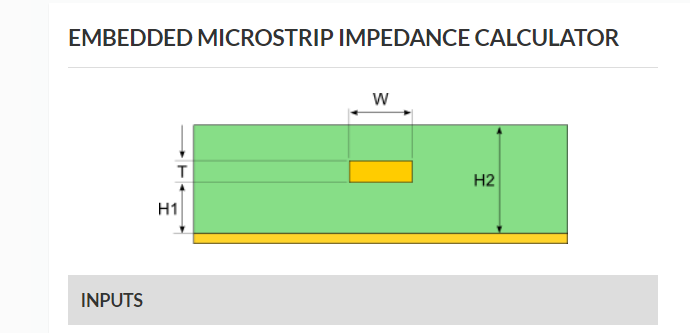
Các giao thức tần số cao như USB, Ethernet,… đều yêu cầu đảm bảo trở kháng đường dây (USB yêu cầu 90 Ohm +- 10%), Ethernet là 100 Ohm

Bài toán tính trở kháng dây không hề dễ, do đó ta thường dùng tool để tính toán dựa trên vài mô hình có sẵn:

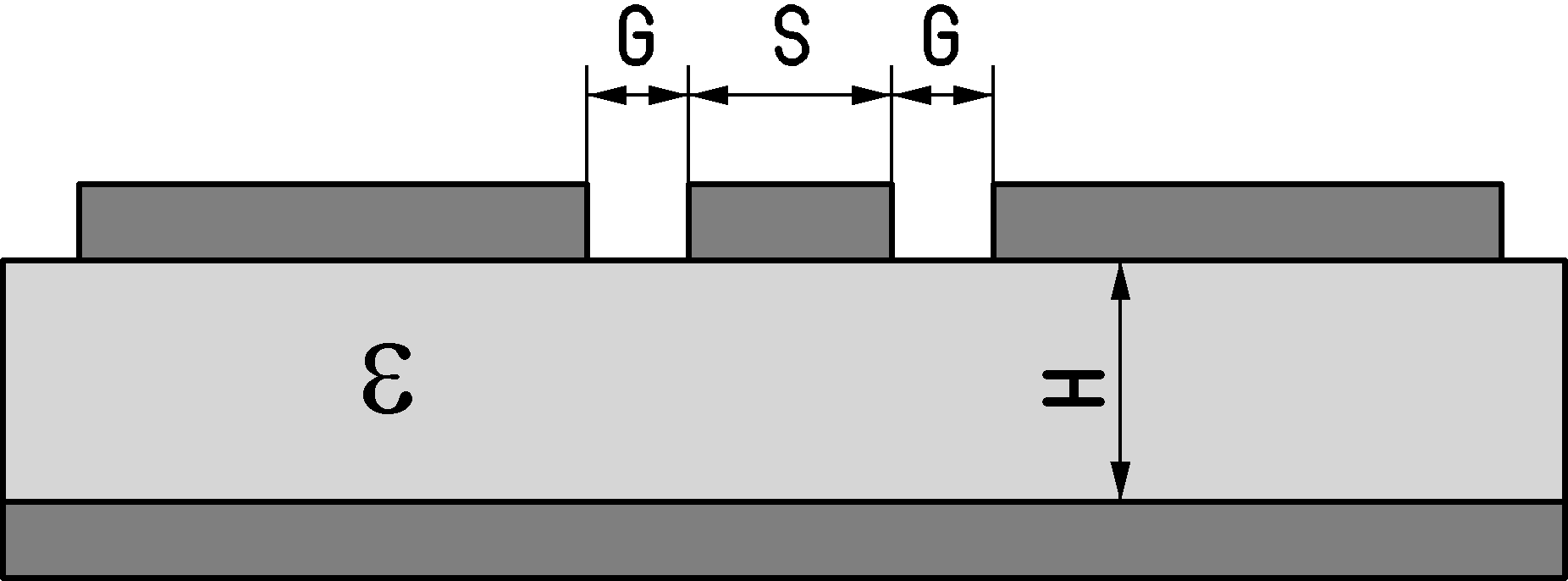
Vài mô hình đường dây:



Mô hình microstrip: 1 dây đơn, ở dưới là đất

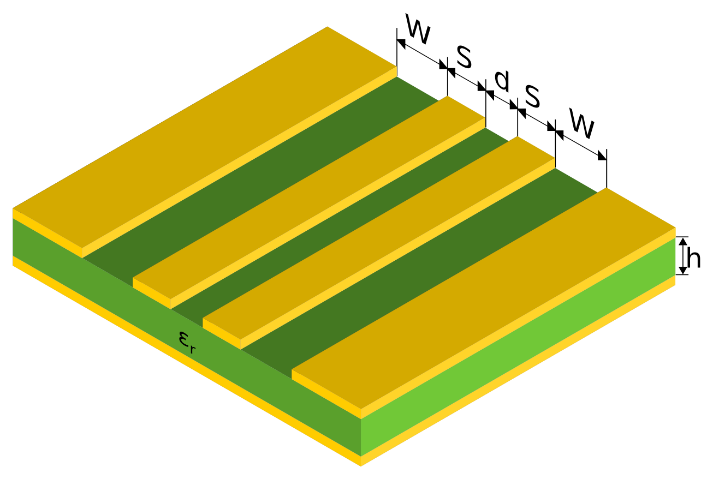


Mô hình embedded microstrip: ở board nhiều lớp, cũng khá khó kiếm

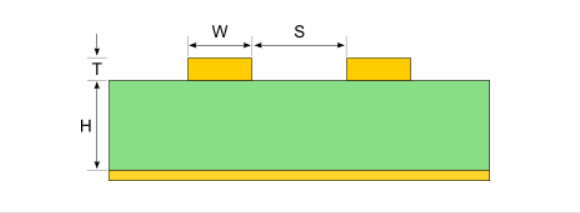


Mô hình coplanar: có 2 mảng đất ở 2 bên, 1 mảng đất lớn ở dưới

Các mô hình đường dây vi sai:



Coplanar differential wave guide



Edge Coupled Microstrip Impedance

Ngoài ra còn rất nhiều các mô hình dây nữa, mà phần nhiều cách vẽ mạch của chúng ta thường là sẽ phủ GND, nên các đường dây đều thành đường dây coplanar

Để tính trở kháng của đường dây microstrip:

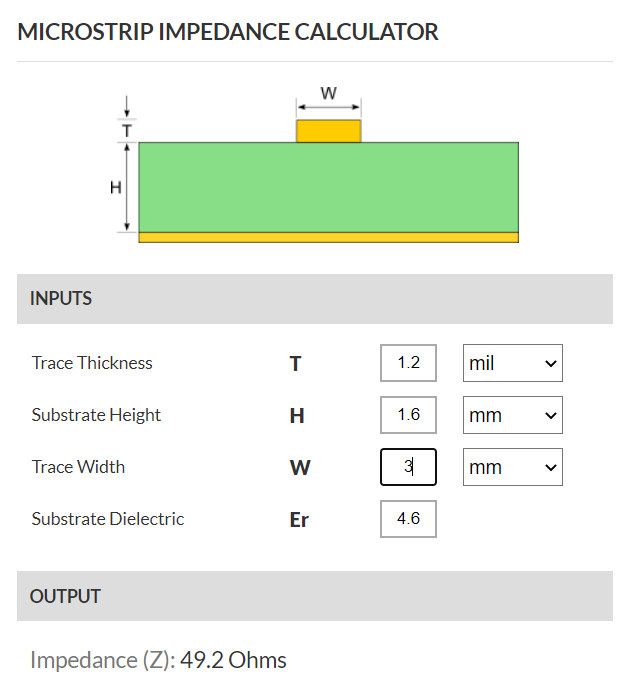
<https://www.eeweb.com/tools/embedded-microstrip-impedance/>

Tính trở kháng của dây Coplannar: <https://chemandy.com/calculators/coplanar-waveguide-with-ground-calculator.htm>

Các công cụ này sẽ tính ra độ rộng dây dẫn, độ dày board, độ dày lớp đồng để đạt được mức trở kháng mong muốn

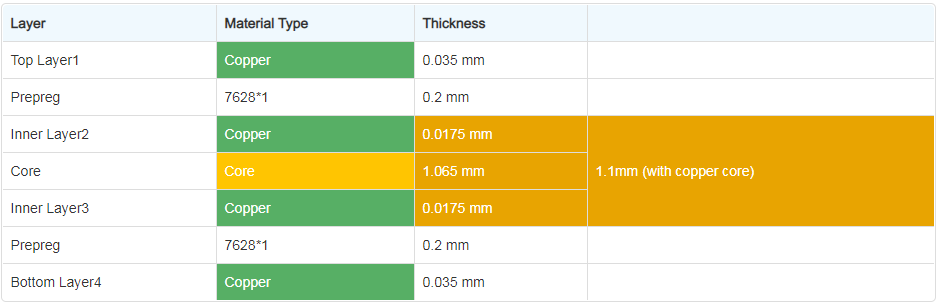
Công thức tính tay? :v tham khảo quyển: <https://idoc.pub/download/transmission-line-design-handbook-brian-c-wadell-x4e6r36j8mn3> Toàn magic trong đó :v

* Chú ý: Phần lớn các công thức này đều liên quan đến mặt phẳng đất ở dưới đường dây, ground plane có hay không đều ảnh hưởng đến trở kháng của dây, thêm một lý do để ta có một cái ground plane không bị cắt
* Với board 2 lớp, do khoảng các giữa đất và dây dẫn tín hiệu khá lớn, độ rộng dây để đạt được các mức trở kháng thường là khá rộng:

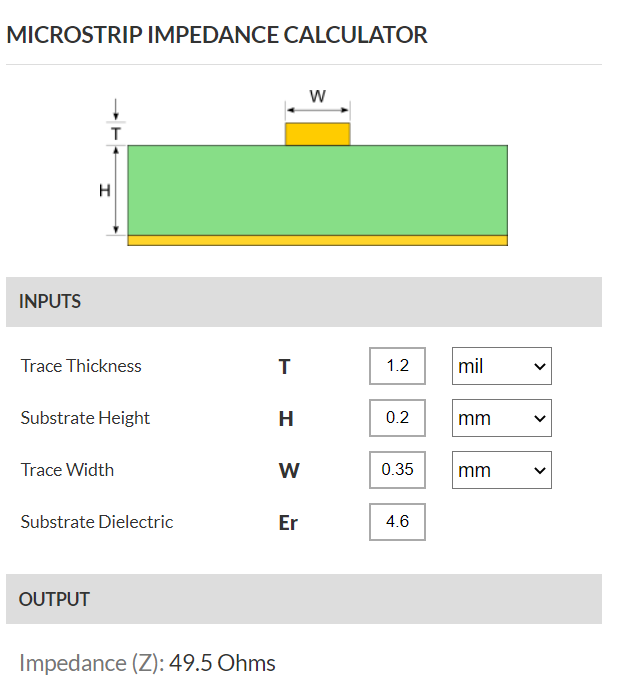


Ví dụ về đường dây Microstrip trên board 2 lớp tiêu chuẩn: FR4, board dày 1.6mm, đồng 1 oz/ft^2

Khi ta giảm chiều dày board như stack up của board 4 lớp:



Stackup board 4 lớp của JLCPCB

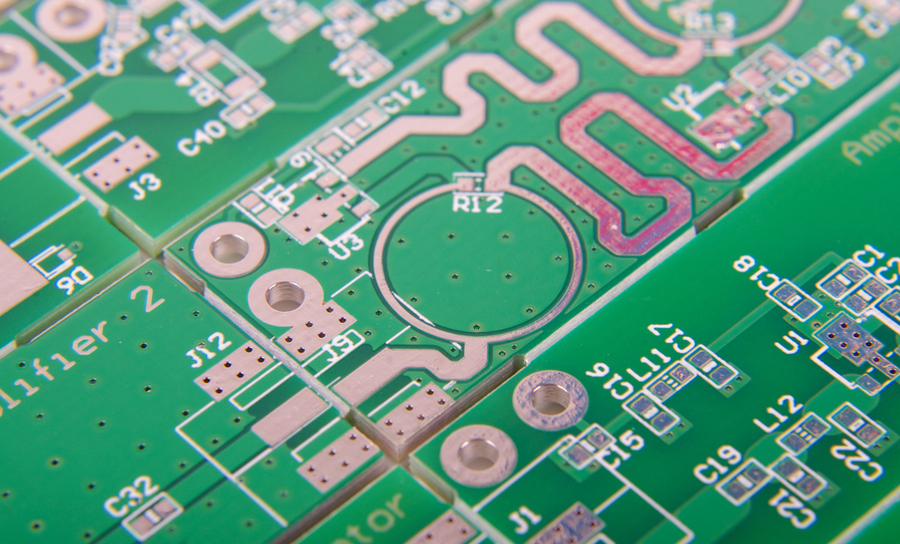


Độ dày dây lúc này còn 0.35mm

Như vậy đây là một lợi thế nữa của board nhiều lớp so với board 2 lớp

# Time delay là gì? Vì sao cần quan tâm đến Time delay?

Đã bao giờ bạn thấy một đường dây đi loằng ngoằng như thế này?



Tại sao phải làm vậy?

Giả sử ta truyền thông tin đi xa 15cm, với tốc độ tín hiệu điện đi trong mạch như trên với FR4, ta thấy rằng mỗi khi dây lệch nhau 15 cm thì tín hiệu ở 2 bên sẽ lệch nhau 1 ns => nếu tín hiệu là 1/ 10^-9 = 1Ghz thì cứ mỗi 1 tín hiệu truyền qua sẽ bị trễ ở 2 bên đi 1 bit, điều này dẫn đến đọc sai :v

Tất nhiên ta cần tham khảo về mức mà 2 bên có thể đọc được, tuy nhiên mình không nghĩ là matching length quá cần thiết nếu chúng ta chưa vẽ mạch tần số rất cao.

Để matching length, các công cụ vẽ mạch đều có các tool box cho việc này, các bạn có thể tham khảo tùy vào công cụ.

Tóm lại đây là một số thứ về vẽ mạch tần số hơi cao mà mình tìm hiểu được qua một kì hè, còn rất nhiều thứ mình muốn nói, cơ mà đây là những thứ cơ bản nhất về vẽ mạch mà mình biết.

Các ví dụ về layout mạch cao tần, các ví dụ này đều nhắc đến các nguyên tắc cơ bản ở trên:

+ USB layout guideline: <https://www.silabs.com/documents/public/application-notes/an0046-efm32-usb-hardware-design-guidelines.pdf>

+ Layout thạch anh: <https://www.st.com/resource/en/application_note/cd00221665-oscillator-design-guide-for-stm8afals-stm32-mcus-and-mpus-stmicroelectronics.pdf>

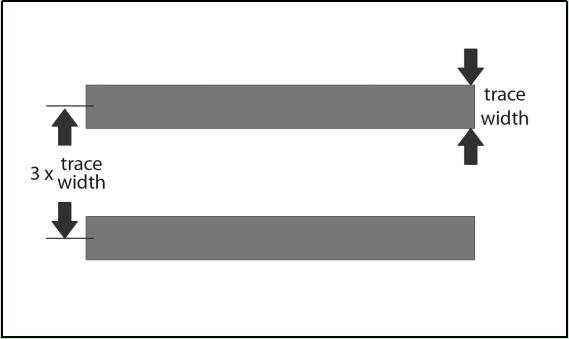
+ Layout mạch RF: Hướng dẫn chọn và layout anten <https://www.cypress.com/file/136236/download>

Hướng dẫn layout đường dây truyền sóng: <https://www.maximintegrated.com/en/design/technical-documents/tutorials/5/5100.html>

# Tổng kết

Tóm lại những thứ cần nhớ:

1. Luôn có mặt phẳng đất tốt một chút, nếu mặt phẳng đất bị cắt thì via nhiều lên, hoặc có một đường dây đất đi song song với dây tín hiệu (Tần số không cao)
2. Dây tín hiệu vi sai luôn phải đi song song với nhau, matching độ dài với nhau.
3. Luôn đặt tụ decoupling đủ và gần với IC, chip để giảm nhiễu.
4. Tuân thủ yêu cầu về trở kháng với giao thức tần số cao (USB, RF,….)
5. Cân nhắc và suy nghĩ về return path, chia board theo các kiểu tín hiệu – analog hoặc digital để sắp xếp board cho hợp lý.
6. Ưu tiên vẽ đường tín hiệu tần số cao trước, đảm bảo khu vực đất ở dưới các vùng này không bị cắt – hoặc bất khả kháng thì phải tìm cách có để lại return path.
7. Nếu như chiều dài dây dưới lamba/10 thì có thể không cần quan tâm đến trở kháng.
8. Cách ly thạch anh – nguồn dao động ra khỏi mạch chính, đi dây tránh thạch anh ra, tuyệt đối không đi dây dưới thạch anh, có thể cắt phần đất dưới thạch anh ra nếu cần thiết.
9. Để tránh nhiễu xuyên kênh (crosstalk) thì ta có luật 3w: Với tín hiệu không phải vi sai thì khoảng cách giữa 2 dây song song nên ít nhất là 3 lần độ rộng dây:



1. Đi dây 90 độ chưa chắc đã có vấn đề :v đây là một cái myth khá phổ biến, ta cần đi dây 45 độ:

<https://electronics.stackexchange.com/questions/226582/pcb-90-degree-angles>

Video test dây 90 độ với tần số cao:

<https://hackaday.com/2019/01/24/video-putting-high-speed-pcb-design-to-the-test/>

Tóm lại là vậy :v nếu có gì mình sẽ bổ sung sau, đây đều là những thứ mình gom nhặt trên mạng nên nếu có gì sai, xin hãy liên hệ mình để chỉnh sửa